

## BEST AVAILABLE COPY

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-253547  
 (43)Date of publication of application : 09.09.1994

(51)Int.Cl.

H02M 7/48

H02M 7/515

(21)Application number : 05-041468

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 02.03.1993

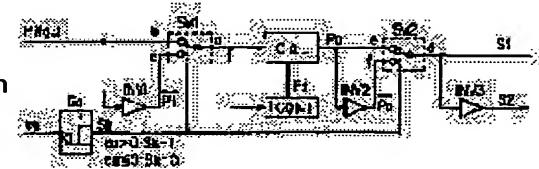
(72)Inventor : MIURA KAZUTOSHI  
TANAKA SHIGERU

## (54) CONTROLLER AND CONTROL METHOD FOR POWER CONVERTER

## (57)Abstract:

**PURPOSE:** To enhance availability by storing an output in a memory as an error time when ON or OFF interval of control pulse is shorter than that of an element and reflecting the error time on next control pulse thereby producing an output voltage proportional to the input signal even if the magnitude thereof is large.

**CONSTITUTION:** A triangular wave generated from a carrier generator is compared with a voltage command to produce a control pulse  $P_i$  which is fed to an operating circuit CAL and a pulse circuit TCONT. The TCONT delivers pulse signals PSs having minimum ON and OFF duration to the operating circuit CAL in synchronism with the control pulse  $P_i$ . The operating circuit CAL performs logical operations using these input signals to output a gate signal S1 and a gate signal S2 through an inverter circuit INV3. When OFF (or ON) interval of the control pulse  $P_i$  is shorter than that of the element, the operating circuit CAL stores the output as an error time which is reflected on next control pulse.



## LEGAL STATUS

[Date of request for examination] 06.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3113117

[Date of registration] 22.09.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-253547

(43)公開日 平成6年(1994)9月9日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 02 M 7/48		F 9181-5H		
7/515		D 9181-5H		
		G 9181-5H		

審査請求 未請求 請求項の数 3 O L (全 7 頁)

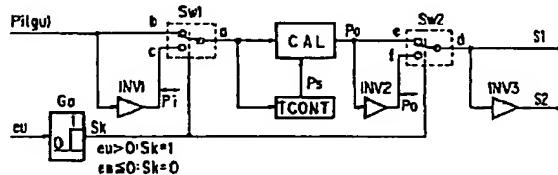
(21)出願番号	特願平5-41468	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成5年(1993)3月2日	(72)発明者	三浦 和敏 東京都府中市東芝町1番地 株式会社東芝 府中工場内
		(72)発明者	田中 茂 東京都府中市東芝町1番地 株式会社東芝 府中工場内
		(74)代理人	弁理士 鈴江 武彦

(54)【発明の名称】 電力変換器の制御方法およびその制御装置

(57)【要約】

【目的】変換器の利用率を大幅に向上させることができ  
る方法と装置を得る。

【構成】制御パルスが設定時間より狭いとき、誤差信号  
 $\Delta t$ を記憶するメモリと、論理演算を行って電力変換素  
子に与える信号を得る演算回路CALを備え、CALは、変  
換器に与えられる電圧指令値をe、PWM制御の最大変  
調率を $k_{max}$ とした場合、 $-k_{max} \leq e \leq +k_{max}$ のとき  
は通常のパルス幅変調制御により変換器の出力電圧を  
制御し、 $e < -k_{max}$ または $+k_{max} < e$ のときは制御  
パルス幅 $t_i$ に、誤差時間 $\Delta t$ を加え、新たな制  
御パルスのパルス幅 $t_i' = t_i + \Delta t$ を求め、当該パ  
ルス幅 $t_i'$ が設定された時間 $t_s$ に対して、 $t_i' \geq t_s$ のとき、  
そのままパルス幅 $t_i'$ の制御パルスを出  
力し、 $\Delta t = 0$ をメモリに記憶し、また $t_i' < t_s$ の  
とき、出力パルス無しで、 $\Delta t = t_i'$ をメモリに記憶  
し、 $\Delta t$ を次の制御パルスに加えるようにしたもの。



## 【特許請求の範囲】

【請求項1】 パルス幅変調制御の電力変換器において、

当該電力変換器に与えられる電圧指令値を  $e$  ( $-1 \leq e \leq +1$ ) 、 PWM制御の最大変調率を  $k_{max}$  とした場合、

$-k_{max} \leq e \leq +k_{max}$  のときは通常のパルス幅変調制御により前記電力変換器の出力電圧を制御し、

$e < -k_{max}$  のときは制御パルス  $P_i$  の幅  $t_i$  に、誤差時間  $\Delta t$  を加え、新たな制御パルスのパルス幅  $t_i' = t_i + \Delta t$  を求め、当該パルス幅  $t_i'$  が設定された時間  $t_s$  に対して、 $t_i' \geq t_s$  のとき、そのままパルス幅  $t_i'$  の制御パルスを出力し、前記誤差時間  $\Delta t = 0$  をメモリに記憶し、前記誤差時間  $\Delta t$  を次の制御パルスに加えるようにして制御するようにしたことを特徴とする電力変換器の制御方法。

【請求項2】 パルス幅変調制御の電力変換器において、

当該電力変換器に与えられる電圧指令値を  $e$  ( $-1 \leq e \leq +1$ ) 、 PWM制御の最大変調率を  $k_{max}$  とした場合、

$-k_{max} \leq e \leq +k_{max}$  のときは通常のパルス幅変調制御により前記電力変換器の出力電圧を制御し、

$+k_{max} < e$  のときは制御パルス  $P_i$  の幅  $t_i$  に、誤差時間  $\Delta t$  を加え、新たな制御パルスのパルス幅  $t_i' = t_i + \Delta t$  を求め、当該パルス幅  $t_i'$  が設定された時間  $t_s$  に対して  $t_i' < t_s$  のとき、出力パルス無しで、前記誤差時間  $\Delta t = t_i'$  を前記メモリに記憶し、前記誤差時間  $\Delta t$  を次の制御パルスに加えるようにして制御するようにしたことを特徴とする電力変換器の制御方法。

【請求項3】 パルス幅変調制御の入力信号と搬送波信号との比較によって得られる制御パルスに基づき制御する電力変換器において、

このパルス発信回路からのパルスおよび前記制御パルスを入力し、前記制御パルスが設定時間より狭いときは、その誤差信号  $\Delta t$  を記憶するメモリと、論理演算を行って前記電力変換器を構成している素子に与える出力信号を得る演算回路を備え、

この演算回路は、当該電力変換器に与えられる電圧指令値を  $e$  ( $-1 \leq e \leq +1$ ) 、 PWM制御の最大変調率を  $k_{max}$  とした場合、

$-k_{max} \leq e \leq +k_{max}$  のときは通常のパルス幅変調制御により前記電力変換器の出力電圧を制御し、

$e < -k_{max}$  または  $+k_{max} < e$  のときは制御パルス  $P_i$  の幅  $t_i$  に、誤差時間  $\Delta t$  を加え、新たな制御パルスのパルス幅  $t_i' = t_i + \Delta t$  を求め、当該パルス幅  $t_i'$  が設定された時間  $t_s$  に対して、 $t_i' \geq t_s$  のとき、そのままパルス幅  $t_i'$  の制御パルスを出力し、前記誤差時間  $\Delta t = 0$  をメモリに記憶し、また  $t_i' < t_s$  のとき、出力パルス無しで、前記誤差時間  $\Delta t = t_i'$  を前記メモリに記憶し、前記誤差時間  $\Delta t$  を次の制御パルスに加えるようにして制御する。

$s$  のとき、出力パルス無しで、前記誤差時間  $\Delta t = t_i'$  を前記メモリに記憶し、前記誤差時間  $\Delta t$  を次の制御パルスに加えるようにして制御するようにしたことを特徴とする電力変換器の制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、交流電力を直流電力に変換するパルス幅変調制御（PWM制御）コンバータや、直流電力を交流電力に変換するPWM制御インバータ等に適用される電力変換器の制御方法およびその制御装置に関する。

## 【0002】

【従来の技術】 図5は、PWM制御インバータの1相分（U相分）の構成図を示す。3相出力インバータの場合、V、W相も同様に構成される。

## 【0003】

図中、 $Vd1$ 、 $Vd2$ は直流電圧源、 $S1$ 、 $S2$ は自己消弧素子、 $D1$ 、 $D2$ はフリーホイーリングダイオード、 $LOAD$ は負荷、 $CTU$ は電流検出器、 $C1$ 、 $C2$ は比較器、 $GU(S)$ は電流制御回路、 $PWM$ はパルス幅変調制御回路、 $TRG$ は搬送波発生器、 $SM$ はシュミット回路である。電流検出器 $CTU$ により負荷電流  $I_U$ を検出し、比較器 $C1$ により電流指令値  $I_U'$ と比較して、偏差  $\epsilon_U = I_U' - I_U$ を求める。この偏差  $\epsilon_U$ を電流制御回路 $GU(S)$ により増幅し、 $e_U = GU(S) \cdot \epsilon_U$ をパルス幅変調制御回路 $PWMC$ に入力する。

## 【0004】

パルス幅変調制御回路 $PWMC$ では、搬送波発生器 $TRG$ が三角波 $X$ を発生し、比較器 $C2$ により前記入力信号  $e_U$ と比較して、シュミット回路 $SM$ を介して自己消弧素子 $S1$ 、 $S2$ のゲート信号  $g_U$ を作る。

図6は図5のPWM制御回路 $PWMC$ の動作を説明するためのタイムチャート図を示す、すなわち、

$e_U \geq X$ のとき、 $g_U = 1$ で、 $S1$ ：オン ( $S2$ ：オフ)

$e_U < X$ のとき、 $g_U = 0$ で、 $S1$ ：オフ ( $S2$ ：オン)

となる。このとき、インバータの出力電圧  $V_U$ は、直流電源電圧を、 $Vd1 = Vd2 = Vd/2$ とした場合、

$S1$ がオン ( $S2$ はオフ) のとき、 $V_U = +Vd/2$

$S1$ がオフ ( $S2$ はオン) のとき、 $V_U = -Vd/2$ となり、その平均値  $V_U$ （破線で示す）は前記入力信号  $e_U$ に比例した値になる。従って、この入力信号  $e_U$ はインバータの電圧指令値となる。

【0005】  $I_U' > I_U$ の場合、偏差  $\epsilon_U = I_U' - I_U$

は正の値となり、電圧指令値  $e_U$ が増加する。故に、インバータの出力電圧  $V_U$ が  $e_U$ に比例して増加し、負荷電流  $I_U$ を増やす。

【0006】 逆に、 $I_U' < I_U$ となった場合、偏差  $\epsilon_U = I_U' - I_U$ は負の値となり、電圧指令値  $e_U$ が減

少する。故に、インバータの出力電圧  $V_U$ が減少し、負

荷電流  $I_U$  を減らす。最終的に、 $I_U = I_{U'}$  となるよう制御される。電流指令値  $I_{U'}$  を正弦波状に変化させれば、負荷電流  $I_U$  もそれに追従して制御され、正弦波電流を負荷  $L$  AOD に供給することができる。

【0007】このように、PWM制御インバータは電圧指令値  $e_U$  に比例した出力電圧  $V_U$  を得ることができ、可変電圧可変周波数電源として交流電動機の駆動装置などに広く用いられている。

#### 【0008】

【発明が解決しようとする課題】しかし、従来のPWM制御インバータは次のような問題点がある。インバータを構成する素子として、ゲートターンオフサイリスタ(GTO)等が用いられるが、この素子を保護するため素子に並列にスナバ回路が接続される。このスナバ回路のコンデンサを初期化(放電)させるため、素子を一旦オンさせた場合、一定時間オン状態を保たなければならない。また、素子自体の特性からも最小オン、オフ時間が決められており、ゲート信号のパルス幅もそれを満足するように与えられる。

【0009】図6において、 $+k_{max}$  および $-k_{max}$  は電圧指令値  $e_U$  の上限値と下限値を表したもので、 $+k_{max} \geq e_U \geq -k_{max}$  の範囲で、この電圧指令値  $e_U$  に比例した出力電圧  $V_U$  が発生できる。

【0010】 $e_U = +k_{max}$  のとき、ゲート信号  $g_U = 0$  の期間が  $t_{off}$  となり、素子S2の最小オフ時間(素子S1の最小オン時間)を満足させている。同様に、 $e_U = -k_{max}$  のとき、ゲート信号  $g_U = 1$  の期間が  $t_{on}$  となり、素子S1の最小オン時間(素子S2の最小オフ時間を)満足させている。

【0011】 $e_U > +k_{max}$  または  $e_U < -k_{max}$  になるとゲート信号  $g_U = 0$  または  $g_U = 1$  の期間が  $t_{off}$  よりも短くなり、素子の最小オンまたはオフ時間を満足させることができなくなる。そのため、リミッタ回路等を設けて、電圧指令値  $e_U$  を  $+k_{max} \geq e_U \geq -k_{max}$  の範囲に制限している。

【0012】例えば、キャリア周波数  $f_c = 500\text{ Hz}$  とした場合、三角波Xの周期  $T$  は  $2\text{ msec}$  となり、最小オフ時間(または最小オン時間)  $t_{off} = 200\text{ }\mu\text{sec}$  を満足させるには、 $k_{max} = 0.8$  になる。すなわち、この場合のインバータの利用率は  $80\%$  となり、あとの  $20\%$  は無駄になる。利用率が低下した分インバータの容量として大きいものを用意しなければならず、従来のPWM制御インバータは不経済なシステムとなっていた。

【0013】本発明は以上の問題点に鑑みてなされたもので、素子の最小オン時間(素子S2の最小オフ時間)を確保しながら、かつ入力信号(電圧指令値)  $e$  の絶対値が大きいときでも当該入力信号に比例した出力電圧を発生できるように制御し、変換器の利用率を  $100\%$  まで高められる電力変換器の制御方法およびその制御装置を提供することを目的とする。

#### 【0014】

【課題を解決するための手段】前記目的を達成するため、請求項1に対応する発明は、パルス幅変調制御の電力変換器において、当該電力変換器に与えられる電圧指令値を  $e$  ( $-1 \leq e \leq +1$ )、PWM制御の最大変調率を  $k_{max}$  とした場合、 $-k_{max} \leq e \leq +k_{max}$  のときは通常のパルス幅変調制御により前記電力変換器の出力電圧を制御し、

【0015】 $e < -k_{max}$  のときは制御パルス  $P_i$  の幅  $t_i$  に、誤差時間  $\Delta t$  を加え、新たな制御パルスのパルス幅  $t_i' = t_i + \Delta t$  を求め、当該パルス幅  $t_i'$  が設定された時間  $t_s$  に対して、 $t_i' \geq t_s$  のとき、そのままパルス幅  $t_i'$  の制御パルスを出力し、前記誤差時間  $\Delta t = 0$  をメモリに記憶し、前記誤差時間  $\Delta t$  を次の制御パルスに加えるようにして制御するようにした電力変換器の制御方法である。前記目的を達成するため、請求項2に対応する発明は、パルス幅変調制御の電力変換器において、当該電力変換器に与えられる電圧指令値を  $e$  ( $-1 \leq e \leq +1$ )、PWM制御の最大変調率を  $k_{max}$  とした場合、 $-k_{max} \leq e \leq +k_{max}$  のときは通常のパルス幅変調制御により前記電力変換器の出力電圧を制御し、

【0016】 $+k_{max} < e$  のときは制御パルス  $P_i$  の幅  $t_i$  に、誤差時間  $\Delta t$  を加え、新たな制御パルスのパルス幅  $t_i' = t_i + \Delta t$  を求め、当該パルス幅  $t_i'$  が設定された時間  $t_s$  に対して  $t_i' < t_s$  のとき、出力パルス無しで、前記誤差時間  $\Delta t = t_i'$  を前記メモリに記憶し、前記誤差時間  $\Delta t$  を次の制御パルスに加えるようにして制御するようにした電力変換器の制御方法である。

【0017】前記目的を達成するため、請求項3に対応する発明は、パルス幅変調制御の入力信号と搬送波信号との比較によって得られる制御パルスに基づき制御する電力変換器において、

【0018】このパルス発信回路からのパルスおよび前記制御パルスを入力し、前記制御パルスが設定時間より狭いときは、その誤差信号  $\Delta t$  を記憶するメモリと、論理演算を行って前記電力変換器を構成している素子に与える出力信号を得る演算回路を備え、この演算回路は、当該電力変換器に与えられる電圧指令値を  $e$  ( $-1 \leq e \leq +1$ )、PWM制御の最大変調率を  $k_{max}$  とした場合、 $-k_{max} \leq e \leq +k_{max}$  のときは通常のパルス幅変調制御により前記電力変換器の出力電圧を制御し、

【0019】 $e < -k_{max}$  または  $+k_{max} < e$  のときは制御パルス  $P_i$  の幅  $t_i$  に、誤差時間  $\Delta t$  を加え、新たな制御パルスのパルス幅  $t_i' = t_i + \Delta t$  を求め、当該パルス幅  $t_i'$  が設定された時間  $t_s$  に対して、 $t_i' \geq t_s$  のとき、そのままパルス幅  $t_i'$  の制御パルスを出力し、前記誤差時間  $\Delta t = 0$  をメモリに記憶し、また  $t_i' < t_s$  のとき、出力パルス無しで、前記誤差

時間 $\Delta t = t_i'$ を前記メモリに記憶し、前記誤差時間 $\Delta t$ を次の制御パルスに加えるようにして制御するようとしたことを特徴とする電力変換器の制御装置である。

【0020】

【作用】請求項1～請求項3のいずれか一つに記載の発明によれば、次のような作用が得られる。すなわち、 $-k_{max} \leq e \leq +k_{max}$ のときは通常のパルス幅変調制御により電力変換器の出力電圧を制御し、また、 $e < -k_{max}$ または $+k_{max} < e$ のときは制御パルス $P_i$ の幅 $t_i$ に誤差時間 $\Delta t$ を加え、新たな制御パルス $t_i' = t_i + \Delta t$ を求め、その $t_i'$ と設定された時間 $t_s$ を比較し、 $t_i' \geq t_s$ のときは出力パルスを出して、 $t_i' < t_s$ のときは出力パルスを出さないで、 $\Delta t = t_i'$ をメモリに記憶して、 $\Delta t$ を次の制御パルスに反映させるように制御する。その結果、電圧指令値に比例した出力電圧が得られ、しかも素子の最小オフ時間（または最小オン時間） $t_{off}$ を満足させることができる。従って、変換器の利用率を100%まで高めることができるとなり、従来の問題点を解決することができる。

【0021】

【実施例】図1は、本発明のパルス幅変調制御（PWM制御）の電力変換器のPWM制御方法を実施するための回路の一部、すなわち、U相のみを示している。

【0022】図中において、 $G_a$ は電圧指令値 $e_U$ が正のとき、1を出力し、負のとき、0を出力する判別回路、 $S_{W1}$ と $S_{W2}$ は判別回路 $G_a$ の出力信号に応じて動作するスイッチ回路、 $CAL$ は後述するように制御パルス $P_i$ の幅 $t_i$ が設定時間 $t_s$ より狭いとき、その誤差時間 $\Delta t$ を記憶メモリを有する演算回路、 $TCONT$ は設定時間 $t_s$ の幅のパルス $P_s$ を出力するパルス回路及び $INV1$ 、 $INV2$ 、 $INV3$ は反転回路から構成されている。この構成は、V、W相も同様である。次に、制御動作について説明する。ただし、電圧指令値 $e_U$ が正の場合で、判別信号 $S_k = 1$ で行う。

【0023】図5において、電圧指令値 $e_U$ と搬送波発生器 $TRG$ が三角波 $X$ の比較によって得られた制御パルス $P_i$ （ $g_U$ ）は図1のスイッチ $S_{W1}$ のb端子と反転回路 $INV1$ に入力され、電圧指令値 $e_U$ は判別回路 $G_a$ に入力される。また $INV1$ の出力 $I_{Pi}$ はスイッチ $S_{W1}$ のc端子に入力し、 $G_a$ の出力信号 $S_k$ はスイッチ $S_{W1}$ 、 $S_{W2}$ に入力する。

【0024】次にスイッチ $S_{W1}$ は、信号 $S_k = 1$ のときb端子に接続され、a端子の出力 $P_i$ は演算回路 $CAL$ とパルス回路 $TCONT$ に入力する。 $TCONT$ は入力パルス $P_i$ に同期したパルス $P_s$ を出力し、演算回路 $CAL$ に入力する。演算回路 $CAL$ は入力された $P_i$ と $P_s$ を用いて、論理演算を行ってパルス $P_o$ を出力し、スイッチ $S_{W2}$ のe端子と反転回路 $INV2$ に入力し、 $INV2$ の出力 $I_{Po}$ はスイッチ $S_{W2}$ のf端子に入力する。

スイッチ $S_{W2}$ はe端子に接続され（ $S_k = 1$ ）、その出

力端子dは $S1$ を出力し、一方は反転回路 $INV3$ を介して、出力信号 $S2$ を出力する。信号 $S_k = 0$ の場合はスイッチ $S_{W1}$ と $S_{W2}$ は端子cとfに接続され、信号 $I_{Pi}$ と $I_{Po}$ が使われる。図2に演算回路 $CAL$ の演算フローチャートを示す。図において、 $t_i$ （ $I_{Pi}$ ）はスイッチ $S_{W1}$ で選択された入力パルス $P_i$ （ $I_{Pi}$ ）のパルス幅、 $t_s$ は設定時間用パルス $P_s$ の幅を示す。

【0025】初めに、パルス幅 $t_i$ （ $I_{Pi}$ ）が入力されると、メモリ（処理1）で得られた $\Delta t$ が加算され、  
10 その加算値 $t_i' = t_i + \Delta t$ は比較部へ入力される。比較部では設定時間 $t_s$ に対して、 $t_i' \geq t_s$ のとき、そのまま $t_i'$ のパルス幅の制御パルスを出力し、誤差時間 $\Delta t = 0$ を前記メモリに記憶し。

【0026】 $t_i' < t_s$ のとき、出力パルス無しで、誤差時間 $\Delta t = t_i'$ をメモリに記憶する。すなわち、当該誤差時間 $\Delta t$ を次の制御パルスに加えて新たな制御パルスを発生するように演算を行っている。次に、本発明のPWM制御動作波形を示す。図3は電圧指令値 $e_U$ が正で、 $S_k = 1$ の場合である。

20 【0027】図において、 $t_{in}$ は電圧指令値 $e_U$ と三角波 $X$ の比較で得られる制御パルス $P_i$ のパルス幅で、 $t_s$ は設定時間（ $= t_{off}$ ：素子の最小オフ時間）を表している（nは入力パルス幅の番号）。

【0028】初めに、 $\Delta t = 0$ （初期値）で、第1番目の制御パルス幅 $t_{i1}$ が入力されると、新たな制御パルス幅 $t_{i1}' = t_{i1} + \Delta t$ に修正され、 $t_{i1}' < t_s$ で、制御パルス幅 $t_{i1}'$ は出力されない。その結果、 $\Delta t = t_{i1}'$ となり、メモリに記憶される。次に第2番目の制御パルス幅 $t_{i2}$ が入力されると $t_{i2}' = t_{i2} + \Delta t$ に修正され、 $t_{i2}' \geq t_s$ で、制御パルス幅 $t_{i2}'$ が出力され、 $\Delta t = 0$ となる。

【0029】第3番目の制御パルス幅 $t_{i3}$ が入力すると、第1番目のときと同様に修正された制御パルス幅 $t_{i3}'$ は、 $t_{i3}' < t_s$ で制御パルス $t_{i3}'$ は出力されず、 $\Delta t = t_{i3}'$ となる。第4番目の制御パルス幅 $t_{i4}$ が入力すると、 $t_{i4}$ は $t_{i4}' = t_{i4} + \Delta t$ に修正されるが、 $t_{i4}' < t_s$ のため、 $t_{i4}'$ は出力されない。その結果、 $\Delta t$ は新たな誤差時間 $\Delta t' = \Delta t + t_{i4}$ となる。

40 【0030】第5番目の制御パルス幅 $t_{i5}$ は設定時間 $t_s$ より幅広いが、 $t_{i5}' = t_{i5} + \Delta t'$ に修正され、 $t_{i5}' \geq t_s$ で、制御パルス $t_{i5}'$ が出力され、 $\Delta t = 0$ となる。図4は電圧指令値 $e_U$ が負で、 $S_k = 0$ の場合を示す。

【0031】入力パルス $P_i$ は $INV1$ によって反転され、 $I_{Pi}$ として演算回路 $CAL$ に入力し、図3と同様な演算を行う。その出力パルス $P_o$ は $INV2$ によって反転され、 $I_{Po}$ からゲート信号 $S1$ と $S2$ が作られる。

【0032】以上のように、修正された制御パルス $P_i$

の幅  $t_{i'}$  と設定時間  $t_s$  を比較し、 $t_{i'} \geq t_s$  のときはそのまま制御パルス  $t_{i'}$  を出力し、 $t_{i'} < t_s$  のときは制御パルス  $t_{i'}$  は出力しないで、誤差時間  $\Delta t = t_{i'} - t_s$  として、メモリに記憶する。その  $\Delta t$  は次の制御パルスに反映させることで、電圧指令値  $e_U$  に比例した出力電圧が得られ、電力変換器の利用率を向上させることができる。

## 【0033】

【発明の効果】本発明の電力変換器の制御方法およびその制御装置によれば、制御パルス  $P_i$  の幅  $t_{i'}$  に誤差時間  $\Delta t$  を加え、新たな制御パルス  $t_{i'} = t_{i'} + \Delta t$  を求め、その  $t_{i'}$  と設定された時間  $t_s$  を比較し、その結果に応じて制御パルスを出力することで、電圧指令値  $e_U$  が PWM 制御の最大変調率  $k_{max}$  より大きい領域でも、連続して当該電圧指令値  $e_U$  に比例した出力電圧  $V_U$  が得られ、かつ、変換器を構成する素子の最小オン時間あるいは最小オフ時間を満足させることができるとなる。この結果、インバータやコンバータ等の電力変換器を PWM 制御する場合、当該変換器の利用率を大幅に向上させることができ、その分直流電源の電圧  $V_d$  を低くすることが可能となり、変換器の小型軽量化、効率向上およびコストダウンが達成できるようになる。

## 【図面の簡単な説明】

【図1】本発明の電力変換器の制御装置の一実施例を示す制御ブロック図。

【図2】図1の演算処理を説明するためのフローチャート。

【図3】図1で電圧指令値が正の場合の PWM 制御動作を説明するための図。

【図4】図1で電圧指令値が負の場合の PWM 制御動作を説明するための図。

【図5】(a), (b) はそれぞれ電力変換器の主回路と負荷電流制御ブロックを示す図。

【図6】従来の PWM 制御動作を説明するための図。

## 【符号の説明】

$V_{d1}, V_{d2}$  … 直流電圧源、  $S1, S2$  … 自己消弧素子、  $D1, D2$  … フリーホーリングダイオード、  $LOAD$  … 負荷、  $CTU$  … 電流検出器、  $CU1, CU2$  … 比較器、  $GU$  (S) … 電流制御補償回路、  $PWM C$  … PWM 制御回路、  $TRG$  … 三角波発生器、  $SM$  … シュミット回路、  $Ga$  … 判別回路、  $SW1, SW2$  … スイッチ回路、  $TCONT$  … パルス回路、  $CAL$  … 演算回路、  $INV1, INV2, INV3$  … 反転回路。

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

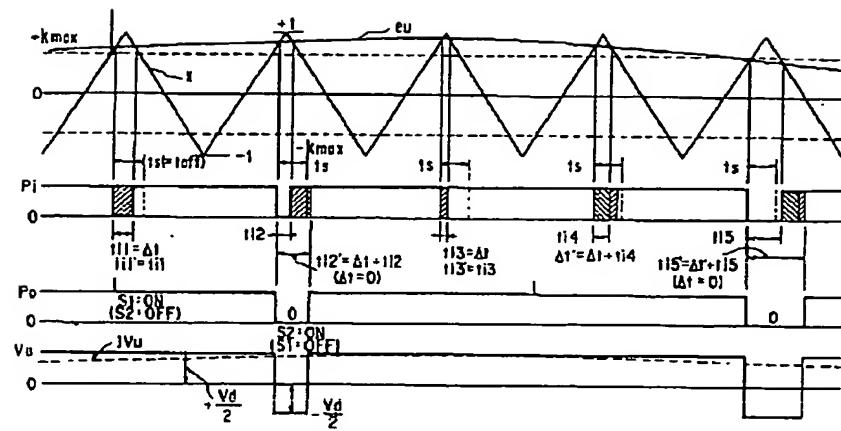
20

20

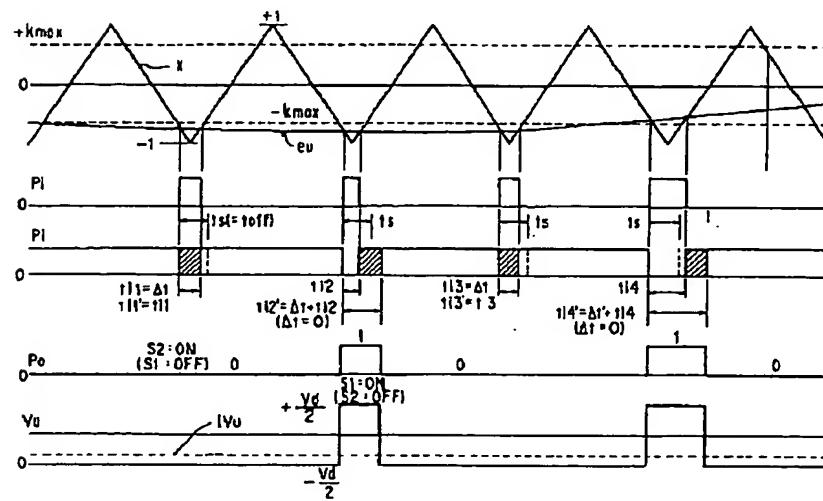
20

20

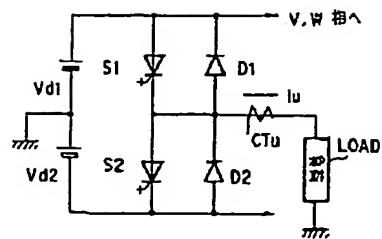
【図3】



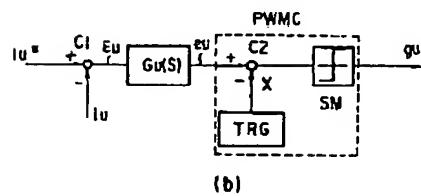
【図4】



【図5】



(a)



(b)

【図6】

